

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-032358
 (43)Date of publication of application : 02.02.1999

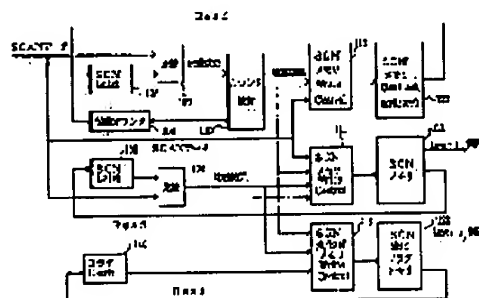
(51)Int. Cl. H04Q 3/72
 H04M 3/30
 H04Q 3/42

(21)Application number : 09-186564 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 11.07.1997 (72)Inventor : KOGA TAKASHI

(54) SUBSCRIBERY LINE CONTROLLER

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the processing load of firmware regardless of the increase of a subscriber line by providing firm ware for periodically monitoring a flag indicating the change of signal data indicating the state of the subscriber line displayed by a displaying means.
 SOLUTION: SCAN signal data obtained by scanning a subscriber circuit are inputted to a comparator circuit 104. Previously stored (Last-Look) SCAN signal data are read from an SCAN memory 121 to the comparator circuit 104, and latched by an SCAN signal latch circuit 105. The SCAN signal data are compared with the output of the latch circuit 105, and the result is transmitted to a writing control circuit 111 for controlling the writing of an SCAN memory 121 and a writing controlling circuit 112 for controlling the wiring of an SCAN change flag memory 122. Then, when incoincidence between the (Last-Look) SCAN signal data and the received SCAN signal data is detected, a change flag is turned into on '1', and the data of the SCAN memory 121 are updated.



LEGAL STATUS

[Date of request for examination] 21.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-32358

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl. ⁷	識別記号	FI
H04Q 3/72	101	H04Q 3/72 101
H04M 3/30		H04M 3/30
H04Q 3/42	104	H04Q 3/42 104

審査請求 未請求 請求項の数 8 OL (全 16 頁)

(21) 出願番号 特願平9-186564

(22) 出願日 平成9年(1997) 7月11日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 古賀 尚

神奈川県横浜市港北区新横浜3丁目9番18号 富士通コミュニケーション・システムズ株式会社内

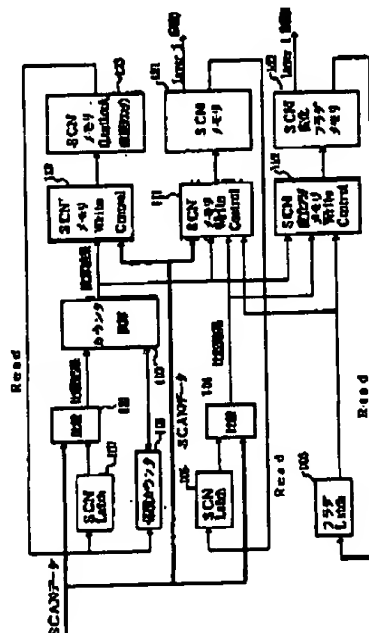
(74) 代理人 弁理士 林 恒徳 (外1名)

(54) 【発明の名称】 加入線制御装置

(57) 【要約】

【課題】加入者数が増加した時、ファームウェアの処理負荷が増加するという問題を解決し、加入者線数の増加にかかわらず、ファームウェアの処理負荷の軽減を可能とする加入線制御装置を提供する。

【解決手段】複数の加入者回路に接続される加入線制御装置において、加入者線の状態を示す信号データを記憶する記憶回路と、加入者線の状態を示す信号データの変化を示すフラグの表示手段をハードウェアとして有し、且つ表示手段により表示されるフラグを周期的に監視するファームウェアを有する。前記記憶回路に先に記憶されている加入者線の状態を示す信号データと、受信した加入者線の状態を示す信号データを比較する比較回路を有し、比較回路が不一致を検出した時、受信した加入者線の状態を示す信号データを記憶回路に書き込み更新すると共に、前記フラグを該信号データが変化していることを表示するフラグとする。



(2)

特開平11-32358

【特許請求の範囲】

【請求項1】複数の加入者回路に接続される加入者線制御装置において、
加入者線の状態を示す信号データを記憶する記憶回路と、
該加入者線の状態を示す信号データの変化を示すフラグの表示手段をハードウェアとして有し、
且つ該表示手段により表示されるフラグを周期的に監視するファームウェアを有することを特徴とする加入者線制御装置。

【請求項2】請求項1において、
前記記憶回路に先に記憶されている加入者線の状態を示す信号データと、受信した加入者線の状態を示す信号データを比較する比較回路を有し、
該比較回路が不一致を検出した時、該受信した加入者線の状態を示す信号データを該記憶回路に書き込み更新すると共に、前記フラグを該信号データが変化していることを表示するフラグとすることを特徴とする加入者線制御装置。

【請求項3】請求項1または2において、
前記ファームウェアは、前記フラグを参照して、該フラグが信号データが変化していることを表示するフラグである場合に、前記メモリに書き込まれている対応する信号データを読み取ることとを特徴とする加入者線制御装置。

【請求項4】請求項2において、
前記比較回路が不一致を検出した時、対応するフラグが、前記信号データが変化していることを表示するフラグである場合は、前記記憶回路への信号データの更新書き込み、及びフラグの変更のいずれも行わないようにしたことを特徴とする加入者線制御装置。

【請求項5】請求項1において、
更に、FIFOメモリを有し、該FIFOメモリは、前記比較回路が不一致を検出した時、前記記憶回路に受信信号データを書き込む位置を示すことを特徴とする加入者線制御装置。

【請求項6】請求項5において、
前記FIFOメモリの示す位置を前記ファームウェアが前記記憶回路の信号データを読んだ時、減算し、前記比較回路が不一致を検出した時、加算することを特徴とする加入者線制御装置。

【請求項7】複数の加入者回路に接続される加入者線制御装置において、
現用系と予備系のそれぞれに加入者線の状態を示す信号データを記憶する記憶回路と、該加入者線の状態を示す信号データの変化を示すフラグの表示手段をハードウェアとして有し、且つ該表示手段により表示されるフラグを周期的に監視するファームウェアを有し、
該現用系は、該フラグの表示手段が加入者線の状態を示す信号データの変化があったことを示す時、該現用及び予備用の記憶回路を書き換え更新し、

該予備系は、周期的に全加入者の該フラグを信号データの変化が無いことを示すフラグに書き換えることを特徴とする加入者線制御装置。

【請求項8】請求項7において、
前記予備系が、前記フラグが信号データの変化があったことを示す時、前記記憶回路を無条件に書き換えることを特徴とする加入者線制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子交換機における加入者線制御装置に関する。特に、ISDN加入者線の物理層における伝送路の規定に従うLayer1を制御するハードウェア及びファームウェアで構成される加入者線制御装置に関する。

【0002】

【従来の技術】かかる加入者線制御装置は、加入者回路と接続し、SD/SCN信号によりLayer1を制御する。SD信号は、加入者線の物理層である伝送路の活性化をしたり、保守運用のためのリレー制御を行う送信信号である。一方、SCN信号は、加入者回路の障害情報及び加入者回路と終端装置の同期を表す信号である。

【0003】図16は、加入者線制御装置を含む加入者制御システムの構成例である。加入者制御シェルフ1、ラインプロセッサ(LPR)2及び呼プロセッサ(CPR)3で構成される。加入者制御シェルフ1に加入者線制御装置10が含まれる。

【0004】加入者制御シェルフ1は、更にラインプロセッサ2と呼プロセッサ3とのインタフェース機能を有する回路12及び、複数の加入者カード11(カード0～n)を有する。複数の加入者カード11のそれぞれは、終端装置NTEを通してISDN端末加入者に接続され、例として8加入者分の加入者回路を収容する。加入者線制御装置10は、図16の構成においては、二重化の冗長構成(＃0、＃1)とされ、それぞれ共通に複数の加入者カード11に接続される。

【0005】更に、図16の構成では、現用系の加入者線制御装置10のみがホスト(ラインプロセッサ2及び呼プロセッサ3)との通信を行う。したがって、ホストから加入者線の制御を行ったり、又ホストに対し、加入者線障害の通知を行う。

【0006】

【発明が解決しようとする課題】ここで、加入者線制御装置10は、複数の加入者線を制御するために、複数の加入者カード11を順次走査し、全加入者(例えば、224加入者)の状態変化を検出し、ホスト側に通知を行う。更に、加入者線制御装置10では加入者カード11を走査した時に得られるSCAN(SCN)信号の変化の差分をファームウェアにより全加入者分、周期的に検出している。

【0007】一方、近年経済化の一環として、加入者制

(3)

特開平11-32358

御シェルフ1への加入者カード収容数を高める傾向にある。かかる場合、加入者線数の増加によりファームウェアの処理負荷が増大してしまうという問題がある。

【0008】即ち、図を参照して説明すると、図17は、図16の加入者線制御装置10に適用される、本発明者等により先に開発した構成例を説明する図である。図17において、ハード装置としての、SD/SCNコントロール部100が、加入者カード11からSCAN信号を受信する。SD/SCNコントロール部100が受信したSCAN信号は、SCANメモリ101に送られ、全加入者分のSCANデータ(0)～(n)を順次記憶する。

【0009】ここで、SCANデータの内容は、例えば対応する加入者回路の障害情報、加入者回路と終端装置間の同期ビット等が含まれる。

【0010】図18は、図17におけるファームウェア処理の動作フローである。SCANメモリ101から加入者毎のSCANデータを読み取り(ステップS1)、ファームメモリ102から最後に参照した(Last Look)、対応する加入者のSCANデータを読み出す(ステップS2)。

【0011】読み出したそれぞれのデータをファームウェア比較処理103により比較する(ステップS3)。データが不一致であればファームメモリ102の内容を更新し(ステップS4)、ホスト側(ラインプロセッサ2、呼プロセッサ3)のLayer1の制御プログラムへSCAN信号に変化があった旨を対応の加入者番号毎に通知する(ステップS5)。かかる処理を全加入者分について行う(ステップS6)。

【0012】Layer1の制御プログラムは、このSCAN信号に変化があった旨の通知に基づきLayer1の起動処理、障害処理を行っていた。従って、かかる構成では加入者が増加した場合に、ファームウェアの処理負荷が増加してしまうという問題がある。

【0013】したがって、本発明の目的は、かかる加入者数が増加した時、ファームウェアの処理負荷が増加するという問題を解決し、加入者線数の増加にかかわらず、ファームウェアの処理負荷の軽減を可能とする加入者線制御装置を提供することにある。

【0014】更に、加入者線制御装置の二重化の冗長構成(＃0、＃1)において、系切り替え時に、漏れなくSCAN信号を新ACT系に引き継ぐことを可能とする加入者線制御装置を提供することにある。

【0015】

【課題を解決するための手段】上記本発明の目的は、複数の加入者回路に接続される加入者線制御装置において、加入者線の状態を示す信号データを記憶する記憶回路と、この加入者線の状態を示す信号データの変化を示すフラグの表示手段をハードウェアとして有し、且つ表示手段により表示されるフラグを周期的に監視するファ

ームウェアを有することにより達成される。

【0016】一の態様として、前記において、前記記憶回路に先に記憶されている加入者線の状態を示す信号データと、受信した加入者線の状態を示す信号データを比較する比較回路を有し、この比較回路が不一致を検出した時、該受信した加入者線の状態を示す信号データを該記憶回路に書き込み更新すると共に、前記フラグを信号データが変化していることを表示するフラグとすることを特徴とする。

【0017】更に、別の態様として、前記において、前記ファームウェアは、前記フラグを参照して、このフラグが信号データが変化していることを表示するフラグである場合に、前記メモリに書き込まれている対応する信号データを読み取る。

【0018】また、別の態様として前記比較回路が不一致を検出した時、対応するフラグが、前記信号データが変化していることを表示するフラグである場合は、前記記憶回路への信号データの更新書き込み、及びフラグの変更のいずれも行なわない様に構成される。

【0019】さらに、FIFOメモリを有し、このFIFOメモリは、前記比較回路が不一致を検出した時、前記記憶回路に受信信号データを書き込む位置を示す。

【0020】さらにまた、前記において、前記FIFOメモリの示す位置を前記ファームウェアが前記記憶回路の信号データを読んだ時、減算し、前記比較回路が不一致を検出した時、加算する。

【0021】さらに現用と予備の二重化構成では、複数の加入者回路に接続される加入者線制御装置において、現用系と予備系のそれぞれに加入者線の状態を示す信号データを記憶する記憶回路と、この加入者線の状態を示す信号データの変化を示すフラグの表示手段をハードウェアとして有し、且つ表示手段により表示されるフラグを周期的に監視するファームウェアを有し、現用系は、このフラグの表示手段が加入者線の状態を示す信号データの変化があったことを示す時、現用及び予備用の記憶回路を書き換え更新し、予備系は、周期的に全加入者の該フラグを信号データの変化が無いことを示すフラグに書き換えることを特徴とする。

【0022】さらに、前記において、一の態様は、前記予備系が、前記フラグが信号データの変化があったことを示す時、前記記憶回路を無条件に書き換える。

【0023】

【発明の実施の形態】以下本発明の実施の形態を図面を参照して説明する。尚、図において同一又は類似のものには同一の参照番号又は、参照記号を付して説明する。

【0024】図1は、本発明に従う加入者線制御装置の第1の実施の形態例ブロック図である。先に説明した図17の構成では、SCAN信号をそのままSCANメモリ101に書き込み、ファームウェア処理103でSCAN信号の変化を検出していた。これに対し、図1の構

(4)

特開平11-32358

成はSCAN信号の変化をハードウェアで検出するようにしている。

【0025】具体的には、図1に示すように、加入者毎にSCAN信号データを記憶する記憶回路であるSCANメモリ121と加入者毎にSCAN信号変化の有無を示すフラグを記憶するSCAN変化フラグメモリ122を有する。

【0026】SCAN信号データの記憶回路121と、SCAN変化フラグメモリ122に対応して、それぞれ書き込み制御回路111、112を有する。加入者回路を走査して得られるSCAN信号データは、比較回路104に入力される。比較回路104には、SCANメモリ121から先に記憶されている(Last-Look)SCAN信号データが読み出されて、SCAN信号ラッチ回路105でラッチされる。

【0027】したがって、比較回路104は、入力されたSCAN信号データとラッチ回路105の出力を比較し、比較結果を出力する。比較回路104からの比較結果は、SCANメモリ121の書き込みを制御する書き込み制御回路111と、SCAN変化フラグメモリ122の書き込みを制御する書き込み制御回路112に送られる。

【0028】したがって、基本的概念として、図1の構成により本発明では、比較回路104で(Last-Look)SCAN信号データと受信したSCAN信号データとの不一致を検出した時、変化フラグをオン「1」とし、SCANメモリ121のデータを更新する。即ち、図1の実施の形態では、更にSCAN信号の変化を検出する時に、SCAN信号のノイズを吸収すること及び、後に説明するファームウェア処理との整合性に対する対応が図られている。

【0029】SCAN信号の変化を検出する時に、SCAN信号のノイズを吸収するために図1では、(Last-Look)SCAN信号データを格納するSCANメモリ121と同様の保護カウンタ用メモリ123、保護カウンタ用メモリ123の書き込みを制御する書き込み制御回路113、保護カウンタ用メモリ123から読み出された(Last-Look)SCAN信号データをラッチするラッチ回路107、ラッチ回路117の出力と受信したSCAN信号データを比較する比較回路109、保護カウンタ108及びカウンタ演算回路110を有する。

【0030】図2、図3はそれぞれ図1の実施の形態のハード論理動作フローと、ファームウェア動作フローである。

【0031】図2において、SCAN信号データを受信すると、SCAN信号のノイズを吸収するために保護カウンタ用メモリ123から(Last-Look)SCAN信号データを読み出し(ステップS01)、ラッチ回路107にラッチする。次いで、受信SCAN信号データとラッチ回路107の出力を比較回路109で比較

する(ステップS02)。

【0032】この比較において、データが不一致の場合は、保護カウンタ108に0を書き込む。一致する場合は、保護カウンタ108の値が0であるかを判断する(ステップS04)。保護カウンタ108の値が0である場合は、保護カウンタ108に1を書き込む(ステップS05)。

【0033】ステップS04において、保護カウンタ108の値が0でない場合は、1であるかを判断する(ステップS06)。保護カウンタ108の値が1である場合は保護カウンタ108に値2を書き込み(ステップS07)、SCANメモリ121から(Last-Look)SCAN信号読み出し、SCANラッチ回路105にラッチする(ステップS08)。ステップS06で、保護カウンタ108の値が1でない場合は、保護カウンタ108の値が2であり、この場合もステップS08の対象とされる。

【0034】尚、上記において、保護カウンタ108の値の判断及び、条件により保護カウンタ108への0、1、2の値の書き込み制御は、カウンタ演算回路110によって行われる。

【0035】更に、カウンタ演算回路110は、保護カウンタ108の値が2である場合(ステップS06:N.O.)、及び保護カウンタ108に値2を書き込んだ時(ステップS07)、SCANメモリ書き込み制御回路111を付勢し、SCANメモリ121からの(Last-Look)SCAN信号データの読み出し、SCANメモリ121からの(Last-Look)SCAN信号データの読み出しを可能とする。

【0036】したがって、保護カウンタ108が値2となるまで、(Last-Look)SCAN信号データの読み出しを遅らせるので、SCAN信号のノイズを吸収することができる。

【0037】図2において、更に受信SCAN信号データとSCANラッチ回路105の出力が比較回路104において、比較される(ステップS09)。この比較結果がSCANメモリ書き込み制御回路111と、SCAN変化フラグメモリ112の書き込み制御回路112に送られる。

【0038】ステップS09において、比較結果が一致である場合は、SCAN信号データは、変化していないので何も行われない。一方、比較結果が不一致である場合は、SCAN信号データは、変化していることを示している。したがって、この場合は、SCANメモリ121へ受信SCAN信号データを新たに書き込み更新する必要がある。

【0039】しかし、ファームウェア側でまた読みとっていない(Last-Look)SCAN信号データがある場合は、ファームウェアとの競合となる。このために、SCAN変化フラグメモリ122からSCAN変化

(5)

特開平11-32358

フラグを読み取る(ステップS10)、SCAN変化フラグメモリ122から読み取られたSCAN変化フラグは、ラッチ回路106にラッチされる。

【0040】ラッチ回路106にラッチされたSCAN変化フラグは、SCAN変化フラグメモリ書き込み制御回路112で、フラグの値が判断される(ステップS11)。フラグの値が1である場合は、ファームウェア側で既に(Last-Look)SCAN信号データを読み取って処理が行われていることを示す。したがってこの場合は何も行われない。

【0041】一方、フラグの値が0である場合は、ファームウェア側でまだ(Last-Look)SCAN信号データの読み取りが行われていないことを示している。したがって、SCAN変化フラグメモリ122に値1を書込み(ステップS12)。同時にSCANメモリ121に、受信SCAN信号データの書き込みを行う(ステップS13)。

【0042】図3において、ファームウェア側動作は、SCAN変化フラグメモリ122に書き込まれているフラグの値を読み取る(ステップS20)。そして、フラグの値が1であるか、0であるかを判断する(ステップS21)。

【0043】フラグの値が0である場合は、SCAN信号データは変化がないので、何ら処理は行われない。フラグの値が1である場合は、SCAN信号データが変化しているため、対応する加入者番号の検索を行う(ステップS22)。検索された加入者に対し変化処理即ち、Layer1制御プログラムにSCAN信号の変化を通知する。これによりLayer1が起動し、障害処理を起動する(ステップS23)。かかる処理を全加入者分について行う(ステップS24)。

【0044】図4は、SCANメモリ121、SCAN変化フラグメモリ122、及び保護用SCANメモリ123のメモリアドレス領域を説明する図である。図4において、メモリアドレス領域は、アドレスバウンダリ(Address Boundary)を合わせるために空き領域40、41、42を有している。

【0045】図5は、SCANメモリ121及び保護用SCANメモリ123の共通の構成例である。データが分類IからIVに別れ、それぞれ実施例として224加入者分の領域を有する。また、D16及びD17は、保護カウンタ108である。

【0046】上記の分類IからIVにおいて、分類Iには、加入者線のDLC-NTE間の同期ビットが収容される。分類IIには、加入者線の伝送品質情報が収容されるが、分類Iの同期ビットが立っていないと無意味となる。

【0047】分類IIIは、終端装置NTEからの情報であって、端末-NTEの同期ビット、終端装置NTEの電源状態などの情報が含まれる。分類IVには、DLC-

NTE間の保守用通信ビットが収容される。これも分類Iの同期ビットが立っていないと無意味となる。

【0048】図6は、SCAN変化フラグメモリ122の構成例である。上記SCANメモリ121の分類I~分類IIIに対して設けられ、数字1、2、3...は、加入者番号であり、対応する加入者番号の位置に図1の実施の形態にしたがって、変化フラグ1または0がセットされる。

【0049】上記の通り、本発明によりファームウェアは、SCANフラグだけで全加入者について、SCAN変化フラグメモリ122のSCAN変化フラグだけを周期的に見るだけで変化箇所を知ることができる。これによりファームウェアの処理負荷が軽減できる。

【0050】ここで、加入者線制御においては、加入者線制御のLayer1立ち上げ等の応答監視、加入者線路上の障害監視のために周期的に加入者線のSCAN信号を監視する必要がある。監視するSCAN変化フラグビットも多く、更に加入者線の収容数が増大する傾向が必至である。

【0051】これに伴い、上記図1の実施の形態において、変化フラグの監視だけでも定常状態における負荷が増える傾向にある。したがって、図7に示す実施の形態は、更にファームウェアの処理負荷を下げることを可能とする構成である。また、図7において、図1と異なる点は、次の通りである。即ち、SCAN変化フラグメモリ122に換え、SCAN変化FIFOメモリ222とFIFOポインタ322を設け、更にSCAN変化フラグメモリ書き込み制御回路112に換えて、SCAN変化FIFOメモリ書き込み制御回路212とFIFOポインタ書き込み制御回路312及び、フラグラッチ回路106をポインタラッチ回路206に換えて有している。

【0052】図7において、図1の構成と同様に受信SCAN信号データの変化を検出し、この検出の際に変化した受信SCAN信号データをSCANメモリ121とSCAN変化FIFOメモリ222に書き込む。FIFOメモリ222には、FIFOポインタ322が示す位置に、変化したSCAN信号データと対応する加入者番号を書き込む。

【0053】FIFOポインタ322は、次にSCAN信号データが変化した時に、FIFOメモリ222に書き込む位置を示す。さらに、ファームウェアがFIFOメモリ222を読んだ時に(-)減算し、SCAN信号データの変化により(+)加算を行う。

【0054】このFIFOポインタ322の減算及び加算は、FIFOポインタ書き込み制御回路312がFIFOポインタラッチ回路206の出力に対し、ファームウェア側からのSCAN変化FIFOメモリ222の読取り(Read)信号により1を減算し、比較回路104からのSCAN信号データの変化判断信号により1を加算することにより行われる。但し、FIFOメモリ22

(6)

特開平11-32358

2が満杯時には、FIFOメモリ222及びSCANメモリ121への書き込みを行わない。

【0055】一方、ファームウェア側での処理は、図8に示すフローに従って行われる。周期的にFIFOポインタ322を監視する(ステップS30、31)。FIFOポインタ322が0でない場合は、SCAN信号データに変化があることを示している。したがって、この場合は、FIFOポインタ322が示すSCAN変化FIFOメモリ222の位置のデータを読み出す(ステップS32)。

【0056】この様にFIFOポインタ322が0となるまで上記読み出しを繰り返す(ステップS33)。FIFOメモリから読み出したデータ(ステップS34)はLayer1制御プログラムに対し、SCAN信号データの変化通知を行い、Layer1の起動障害処理を起動する(ステップS35)。そして、Last-Lookデータを更新する(ステップS36)。

【0057】ここで、図9を参照して、従来の加入者線制御装置の系切り替え時の処理を考察する。従来の加入者線制御装置では、SCANメモリのLast-Lookデータを二重化された他方のSCANメモリ上にファームウェアにより書き込む様にしている。

【0058】これにより系切り替え時に、新ACT(現用)系91が旧ACT系90のファームウェアが書き込んでいた二重化メモリ上の(Last-Look)データを使用して、新ACT系91でのSCAN信号データの変化検出の処理を継続すればよかった。

【0059】即ち、従来装置においては、SCAN信号がACT/SBY系90、91両方に対して、同じように見え、SCANメモリも同じように見えていた。したがって、系切り替え時には、上記ファームウェア処理で問題とはならなかった。

【0060】しかるに、先に説明したように本発明では、加入者の増加に伴いSCAN変化フラグを用いている。したがって、SCAN信号を旧ACT系から新ACT系に漏れなく引き上げることが必要である。

【0061】図10は、これを実現する構成例概略図である。先に図1で説明したように、SCAN信号データの変化時に、SCANフラグメモリ122のSCANフラグを1とし、SCANメモリ121の更新を行う。かかる動作は、ACT系とSBY系で共通である。

【0062】ファームウェアの動作は、図11、図12に示される。図11はACT系の動作であり、図12はSBY系の動作である。図11において、監視タイマーを起動して周期的に(ステップS401、402)、SCAN変化フラグメモリ124を読み出し(ステップS40)、変化の有無を判断する(ステップS41)。

【0063】SCAN変化フラグメモリ124においてSCAN変化フラグが0に対応するSCANメモリ121の変化の内容をファームウェアに通知する(ステップ

S42)。これにより、ファームウェアではLayer1制御プログラムを起動して、障害対策処理を行う。

【0064】ハード側では更に、読み出したSCANメモリ121の内容をLast-LookとしてACT/SBYで二重化されたメモリ121(図10参照)上に書き込み更新する(ステップS43)。次いで、SCAN変化フラグを1(off)にする(ステップS44)、かかる動作を全加入者分に行い終了する(ステップS45)。

【0065】尚、SCAN変化フラグメモリ124においてSCAN変化フラグが1の箇所に対しては何も処理を行わない。したがって、Last-Lookの更新も行わない。

【0066】図12にSBY系の動作が示される。周期的(ステップS500、502)に全加入者のSCAN変化フラグを0にする。この時、SCAN変化フラグが1でも0でも無条件に0とする(ステップS501)。

したがって、SCANメモリ121の内容も読まない。【0067】次に、系切り替え発生時の動作を説明する。図11において、系切り替え直前のACT系の動作は、周期処理を停止し、従って、SCAN変化フラグ監視を停止する(ステップS46~49)。

【0068】SCAN変化フラグ監視を停止する過程は、ACT系からSBY系に対しSCAN停止要求(ステップS46)を行い、同時に周期監視タイマーを停止する(ステップS47)。SBY系からACT系に対し、停止を通知する(ステップS48)。これによりACT系でのSCAN信号データの受信を停止する。

【0069】SCAN再開後(ステップS50)は、2重化された旧ACT系90のSCANメモリ121のLast-Lookデータと新ACT系91のSCANメモリ121のデータを比較して、全加入者分について、差分チェックする(ステップS51~55)。

【0070】データ比較(ステップS51、52)において、一致する場合は何も処理されない(ステップS52:yes)。一致しない場合は、Layer1制御プログラムにSCAN信号変化を通知し(ステップS53)、Last-Lookの書き換え更新を行う(ステップS54)。Layer1制御プログラムは、通知されたSCAN信号変化通知に基づきLayer1の起動、障害処理を起動する。かかる構成により2重化で多重回線の処理が可能となる。

【0071】図13は、系切り替え時のファームウェアの動作シーケンスを説明する図である。#0系は今ACT系であると考え、障害により又はホスト側より系切り替え要求が発生すると(ステップS100)、#0系からSBY系である#1に系切り替え要求が送られる(ステップS101)。これに対し、#1から応答確認が送られる(ステップS102)。

【0072】尚、上記図10の実施の形態では、周期的

(7)

特開平11-32358

に全加入者のSCAN変化フラグをクリアする必要があった。これに対し、#0系では装置制御プログラムからSCAN変化検出プログラムに対し、SCAN停止要求が出される(ステップS103)。

【0073】したがって、SCAN変化検出プログラムは、SCAN停止状態となる(ステップS104)。次いで、装置制御プログラムに対し、停止通知を送る(ステップS105)。装置制御プログラムはこれにより、ACT/SBYを切り替える(ステップS106)。以降、#0系は、自側がSBY系であることを判断して(ステップS107)、SBYプログラムの実行を行なう(ステップS108)。

【0074】一方、#1系では、#0系からの系切替え要求(ステップS101)に対し、応答(ステップS102)を送った後、自側がACT系であることを判断して(ステップS109)、ACTプログラムの実行を行なう(ステップS110)。

【0075】ACTプログラムの実行に従い、装置制御プログラムは、SCAN再開をSCAN変化検出プログラムに対し通知する(ステップS111)。

【0076】SCAN変化検出プログラムでは、新ハード(#1)系のSCANメモリ121と旧ACT(#0)系のファームLast-Lookデータとの比較を行なう(ステップS112)。ここで差分があれば、Layer1制御プログラムに対し変化を通知し、Layer1起動処理と障害処理を行なう(ステップS113)。また、差分がなければ、通常状態に移行する。

【0077】ここで、図10の実施の形態では、全加入者の変化フラグをクリアする必要があった。従って、更なる実施の形態として図14に示す構成では、SBY側でクリア処理を行わなくても2重化の系切替えが可能るようにハードウェアに、SCANメモリ121が変化した時は、加入者毎にSCAN変化フラグを設けるとともに、ハードウェアが変化を検出した場合は、無条件にSCANメモリ121を更新させるモードを追加したものである。

【0078】即ち、図14に示すように、SCANコントロール部100にACT/SBYモードの受信回路を備える。ACT系の場合は、図10の実施の形態で説明したように、SCAN変化を变化フラグを使用した受信モードで動作し、対応するSCAN変化フラグメモリ124の対応するビットを書き換える(モードM0)。

【0079】これに対し、SBY系の場合は、SCANの変化点があった時にSCANメモリ121を無条件に更新させるモードM1を追加する。

【0080】図15は、上記のハードウェア動作のフローであるが、図1の実施の形態に対応する動作フローに対し、フラグ制御選択モードの判断フロー(ステップS14)が追加されている。ステップS14において、フラグ制御モード即ち、モードM1の場合に、ハードウェア

が変化を検出した時無条件にSCANメモリを更新させる。

【0081】ファームウェア動作は、ACT側は図10の実施の形態と同じであるが、SBY側は無条件にSCANメモリ121を更新するモードM1であるために系切替えを待つだけの処理となる。

【0082】系切替え発生時は、旧ACT系の動作は、図10の実施の形態と同じであるが、新ACT側は、新ACTのハードウェアに対してSBYモードをACTモードに切り替える。その後、旧ACTで2重化メモリ上に書き込まれているSCANメモリ121のLast-Lookの内容と新ハードウェアでのSCANメモリ121の比較を行なう。後の処理は図10の実施の形態と同様である。

【0083】そして、新SBY系となった系のハードウェアに対し、SBYモードを設定し、次に自系がACTに切り替わるのを待つ。かかる実施の形態によりSBY側プログラムの処理軽減が図られる。

【0084】

【発明の効果】以上実施の形態に従い説明したように、本発明により加入者数が増加した時、ファームウェアの処理負荷が増加するという問題を解決し、加入者線数の増加にかかわらず、ファームウェアの処理負荷の軽減が可能である。

【0085】さらに、加入者線制御装置の二重化の冗長構成(#0、#1)において、系切り替え時に、漏れなくSCAN信号を新ACT系に引き継ぐことが可能である加入者線制御装置が提供される。

【図面の簡単な説明】

【図1】本発明に従う加入者線制御装置の第1の実施の形態例ブロック図である。

【図2】図1の実施の形態のハード論理動作フローである。

【図3】図1の実施の形態のファームウェア動作フローである。

【図4】SCANメモリ121、SCAN変化フラグメモリ122、及び保護用SCANメモリ123のメモリアドレス領域を説明する図である。

【図5】SCANメモリ121及び、保護用SCANメモリ123の共通の構成例である。

【図6】SCAN変化フラグメモリ122の構成例である。

【図7】ファームウェアの処理負荷を下げることを可能とする構成例である。

【図8】図7に対応するファームウェア側での処理を説明する図である。

【図9】従来の加入者線制御装置の系切り替え時の処理を説明する図である。

【図10】SCAN信号を旧ACT系から新ACT系に漏れなく引き上げる実施の形態ブロック図である。

(8)

特開平11-32358

【図11】図10の実施の形態におけるACT系の動作を説明する動作フローである。

【図12】図10の実施の形態におけるSBY系の動作を説明する動作フローである。

【図13】図10の実施の形態における系切り替え時のファームウェアの動作シーケンスを説明する図である。

【図14】SBY側でクリア処理を行わなくても2重化の系切替えが可能な実施の形態ブロック図である。

【図15】図14の実施の形態のハードウェアの動作フローである。

【図16】加入者線制御装置を含む加入者制御システムの構成例である。

【図17】図16の加入者制御装置10に適用される、本発明者等により先に開発した構成例を説明する図である。

【図18】図17におけるファームウェア処理の動作フローである。

【符号の説明】

121 SCANXモリ

122 SCAN変化フラグメモリ

123 (Last-Look) SCANメモリ

111 SCANメモリ書込み制御回路

112 SCAN変化フラグメモリ書込み制御回路

113 (Last-Look) SCANメモリ需込み

113 制御回路

104、109 比較回路

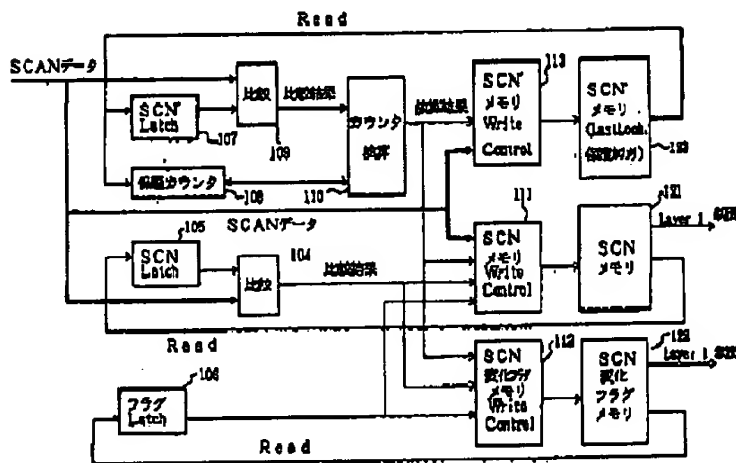
105、107 SCANラッチ回路

106 フラグラッチ回路

108 保護カウンタ

110 カウンタ演算回路

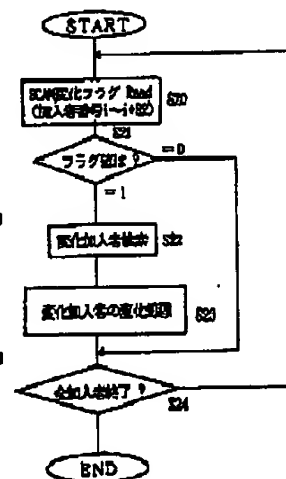
【圖1】



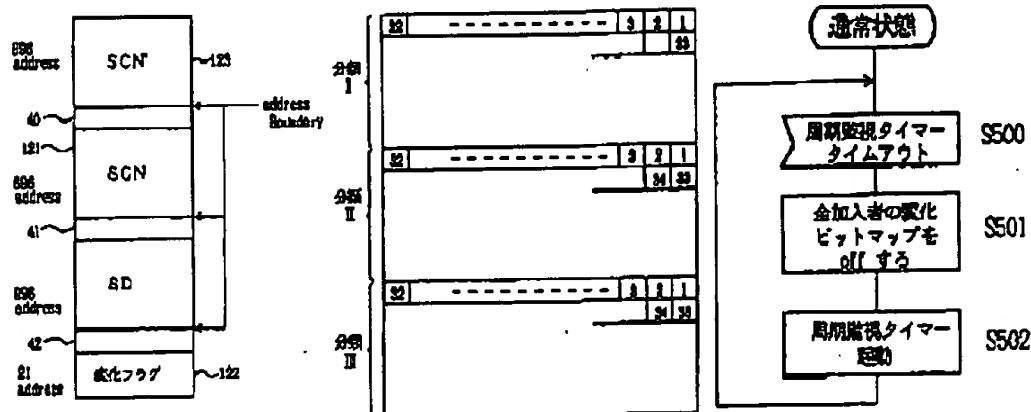
【圖4】

【图6】

【圖3】



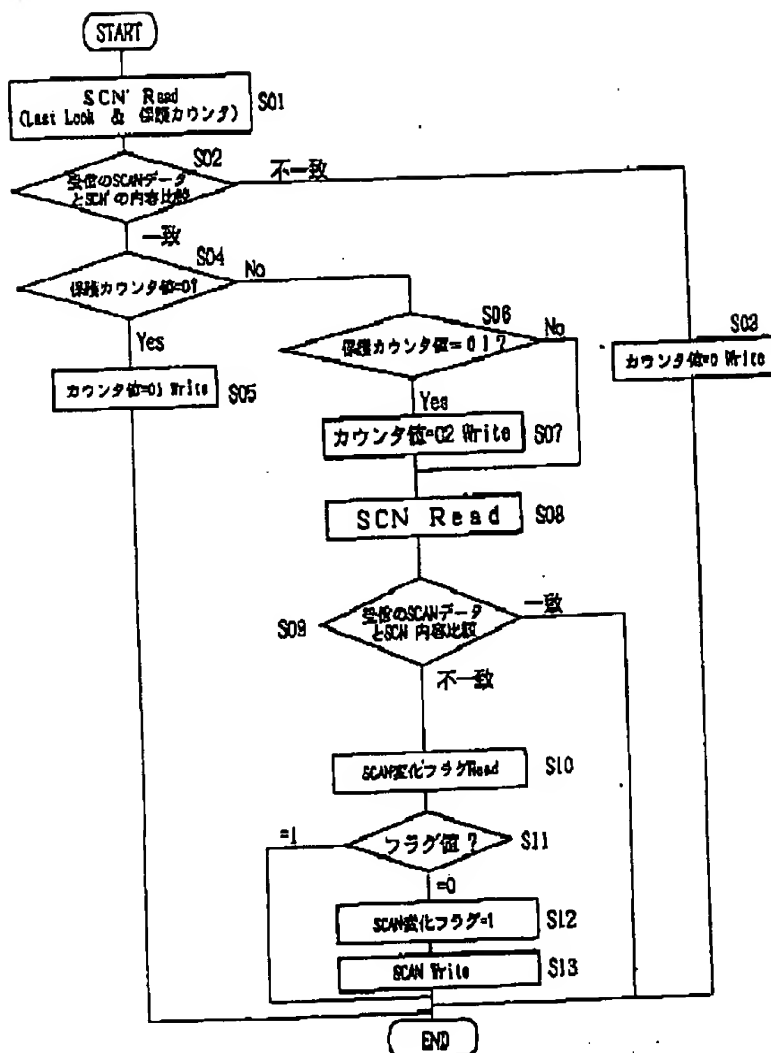
【例12】



(9)

特開平11-32358

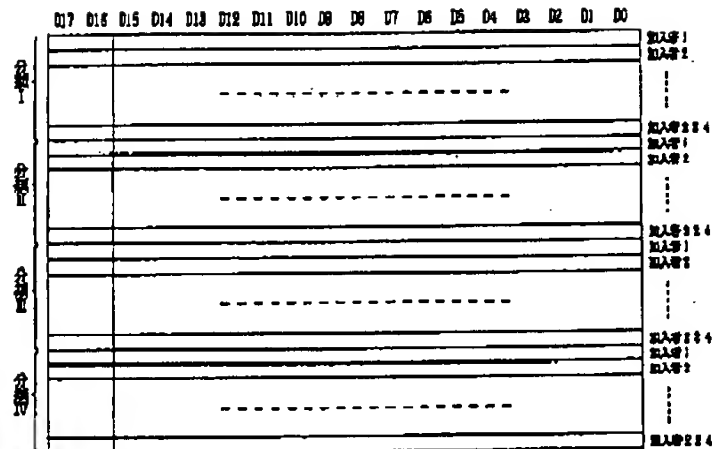
【図2】



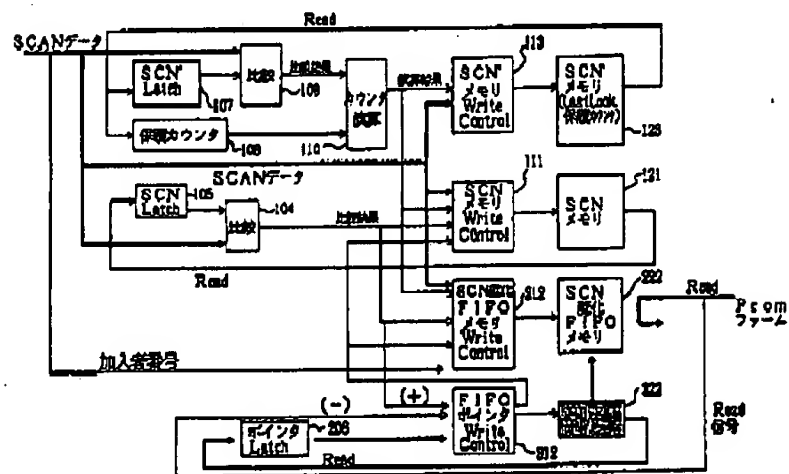
(10)

特開平11-32358

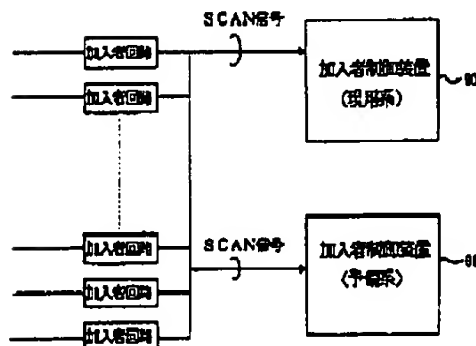
【図5】



【図7】



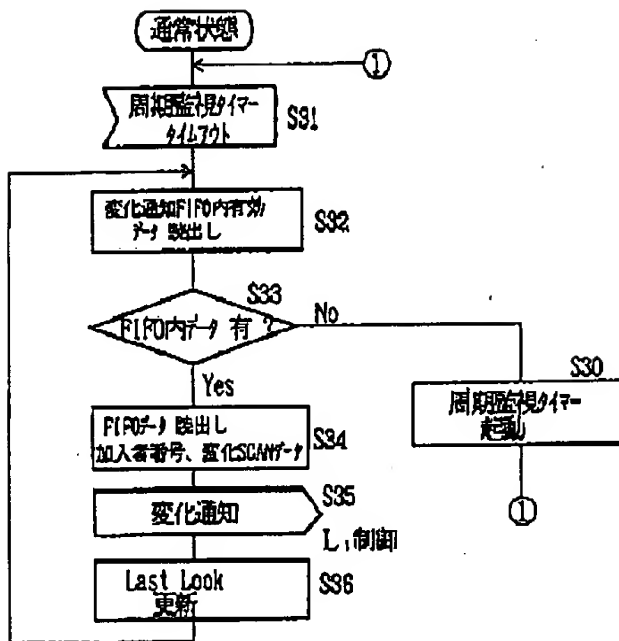
【図9】



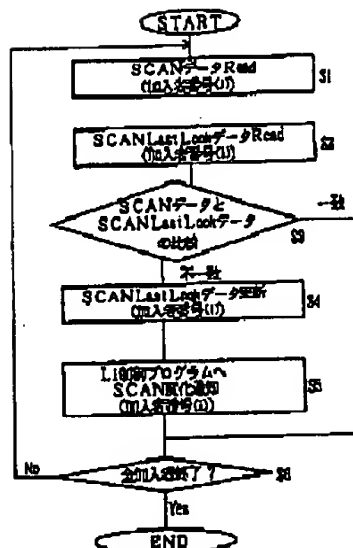
(1 1)

特開平11-32358

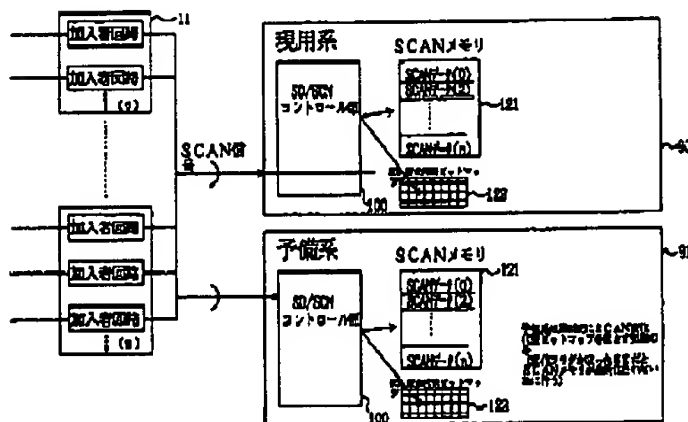
【圖8】



【圖18】



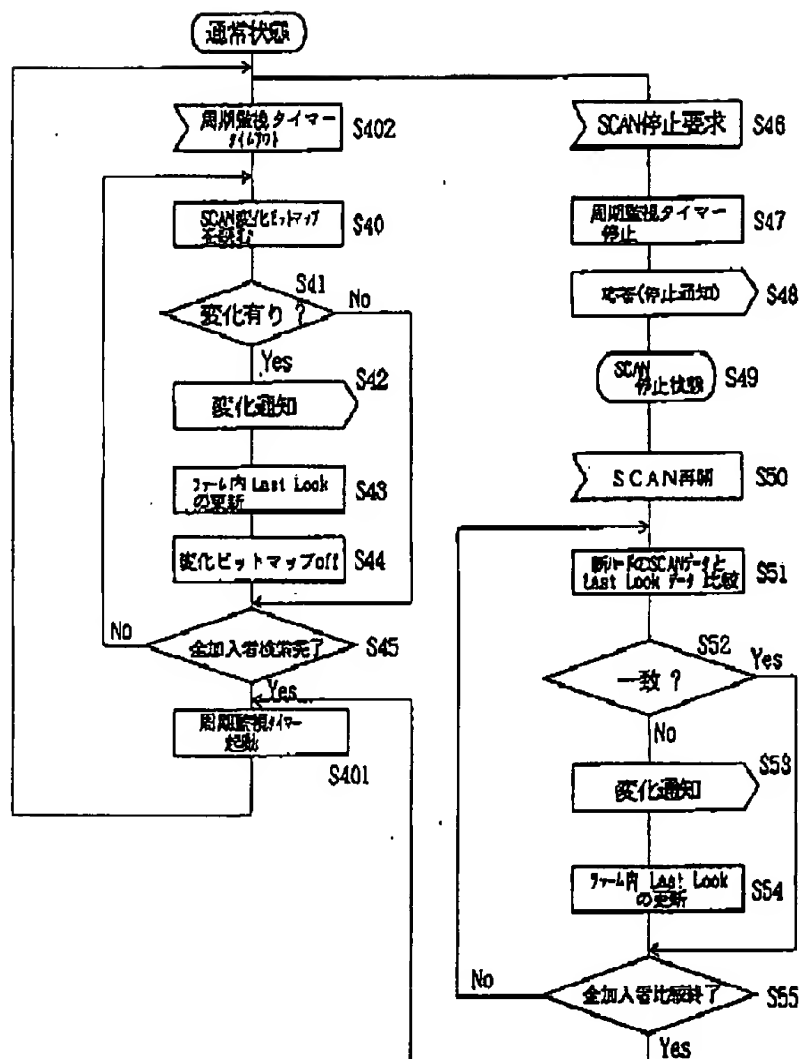
【~~図~~10】



(12)

特開平11-32358

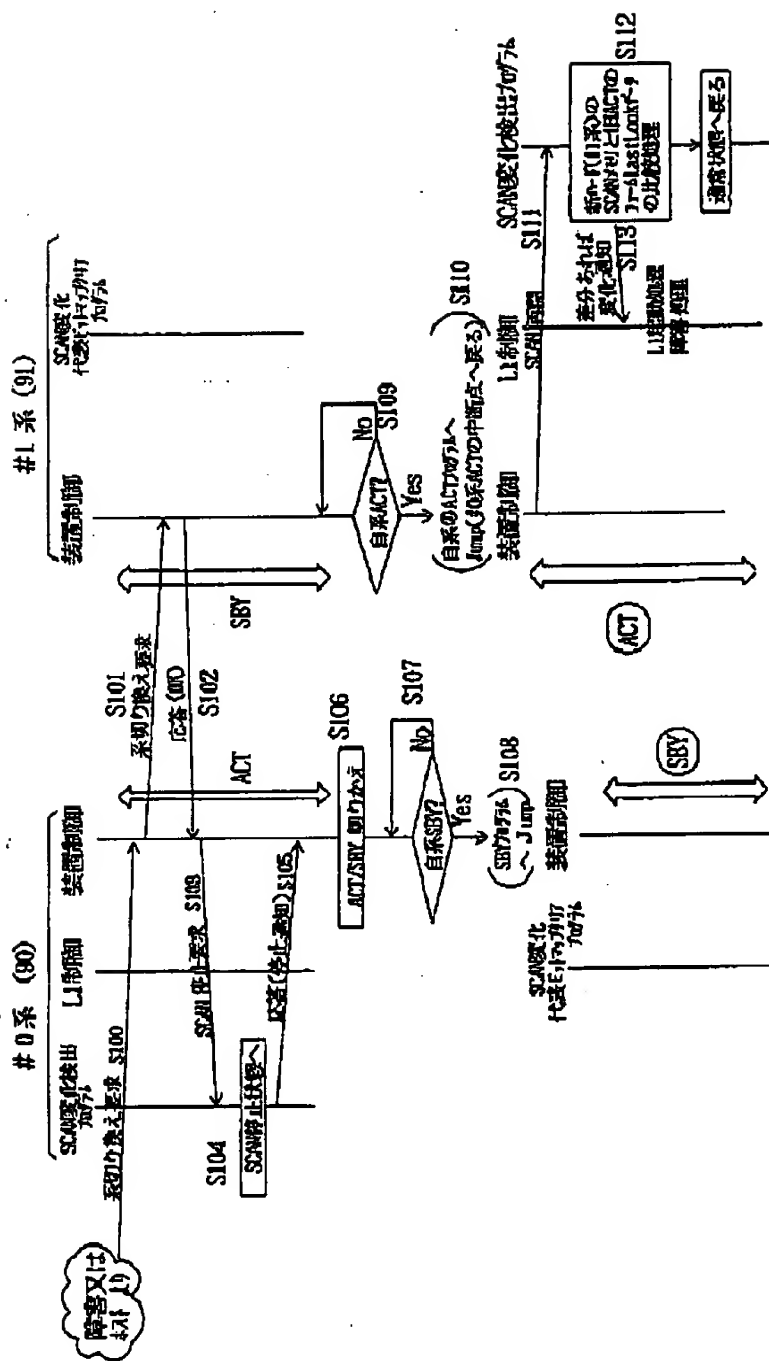
【図11】



(13)

特開平 11-32358

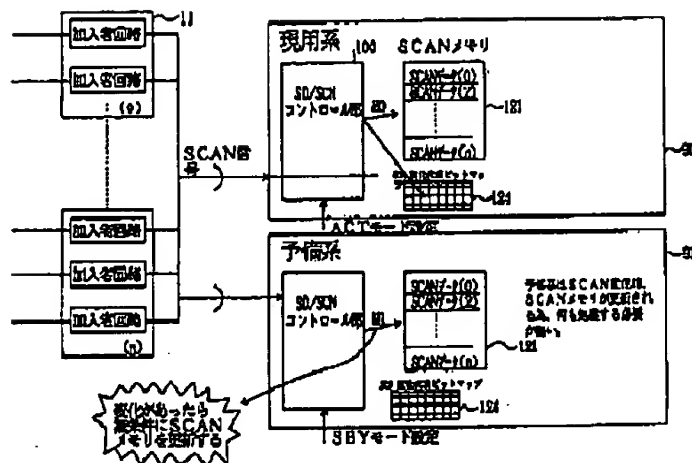
(13)



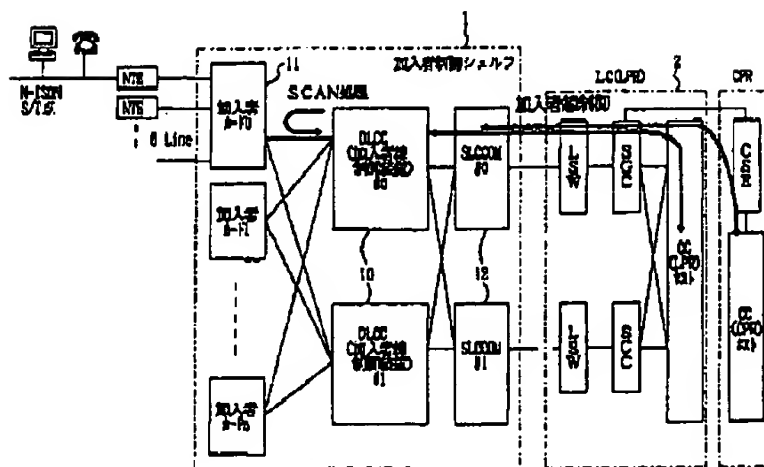
(14)

特開平11-32358

【图14】



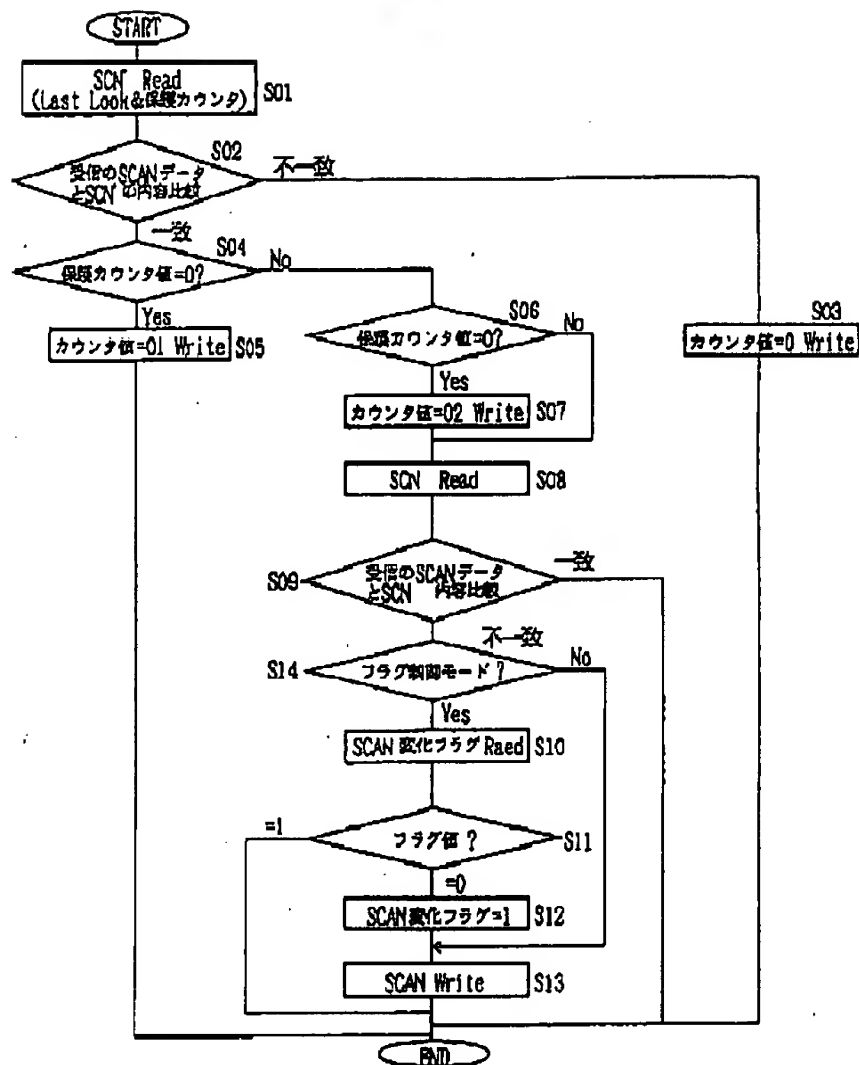
【例 16】



(15)

特開平11-32358

【図15】



(16)

特開平11-32358

【図17】

